

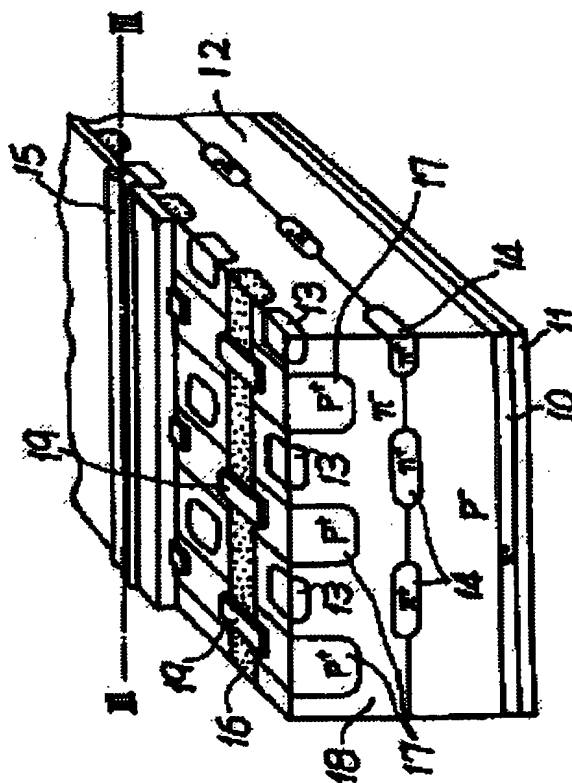
SOLID-STATE IMAGE PICKUP ELEMENT

Patent number: JP59108465
Publication date: 1984-06-22
Inventor: YAMADA HIDETOSHI; others: 04
Applicant: OLYMPUS KOGAKU KOGYO KK; others: 01
Classification:
- **International:** H04N5/30; H01L27/14
- **European:**
Application number: JP19820217761 19821214
Priority number(s):

Abstract of JP59108465

PURPOSE: To obtain a sensor having double high resolution and density by dividing a gate region of an electrostatic induction transistor into two, attaining electric independence and using the region in common at picture element section.

CONSTITUTION: A source 13 is diffused on an upper part of a substrate 12 having a transparent electrode 11 via an n^{++} layer 10 and a drain 14 is embedded to a position corresponding to a source in the substrate 12. Source wire lines by a signal electrode 15 are sectioned by a separating region 16 by an embedded oxide film and a gate 17 is diffused into an epitaxial layer 18 similarly as the source 13 so as to clip the source 13. Each gate 17 is connected by bridging over a separation region 16 with a readout electrode 19 in the direction orthogonal to the source wire line by the signal electrode 15.



⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—108465

⑮ Int. Cl.⁸
H 04 N 5/30
H 01 L 27/14

識別記号

庁内整理番号
6940—5C
6819—5F

⑯ 公開 昭和59年(1984)6月22日
発明の数 1
審査請求 未請求

(全 7 頁)

⑭ 固体撮像素子

東京都渋谷区幡ヶ谷二丁目43番
2号オリンパス光学工業株式会
社内

⑰ 特 願 昭57—217761

⑱ 出 願 昭57(1982)12月14日

⑲ 発 明 者 山田秀俊
東京都渋谷区幡ヶ谷二丁目43番
2号オリンパス光学工業株式会
社内

⑲ 発 明 者 遊佐厚
東京都渋谷区幡ヶ谷二丁目43番
2号オリンパス光学工業株式会
社内

⑲ 発 明 者 水崎隆司

⑲ 発 明 者 西澤潤一

仙台市米ヶ袋一丁目6番16号

⑲ 発 明 者 玉蟲尚茂

仙台市角五郎一丁目3番8号

⑲ 出 願 人 オリンパス光学工業株式会
社
東京都渋谷区幡ヶ谷2丁目43番
2号

⑲ 出 願 人 西澤潤一

仙台市米ヶ袋一丁目6番16号

⑲ 代 理 人 弁理士 杉村暁秀 外1名

明 細 書

1. 発明の名称 固体撮像素子

2. 特許請求の範囲

1. 半導体基板上に光電変換領域と、光電変換された信号を読出すための静電誘導トランジスタとを具え、前記静電誘導トランジスタのゲート領域を2分して電気的に成立させ、これらの2分したゲート領域を隣接せる光電変換領域の選択読出時に共用し得るように前記ゲート領域を配置したことを特徴とする固体撮像素子。

2. 発明の詳細な説明

本発明は半導体を用いて光画像を電気信号に変換する固体撮像素子に関し、特に高密度・高解像度の固体撮像素子を提供することを目的とする。

テレビジョンカメラに用いられる光電変換素子として、撮像管に代わり、半導体集積回路技術により製作されるCCDあるいはMOS型等の固体撮像素子が用いられるようになりつつある。新規の固体撮像素子は小型、軽量、低消費電力等の特

長を有しているが、撮像管に比較して解像度の低いことが大きな欠点となつてゐる。すなわち、固体撮像素子の解像度はその画素数により決まるが、CCDあるいはMOS型等の固体撮像素子では一画素の寸法が、例えばその製造に際して用いられるフォトリソグラフィの最小寸法によりほぼ80μm程度に限定されてしまう。この画素寸法で撮像管並みの解像度を得るために、500×500個の画素を並べるにはほぼ15mm角の半導体基板が必要である。しかし、現在の集積回路技術ではこの大きさの半導体基板を欠陥なく製造することは極めて困難なことである。また、1枚のウェハからとれるチップ数も少なくなる。これがため、高解像度の固体撮像素子を製造すると歩留まりが低く、高価格となつてしまうと云う欠点がある。

上述したような問題点を解決するためには、一画素の寸法をより一層小さくし得るような素子構造とすることが望まれる。この要望に應ずるものとして、静電誘導トランジスタ(SIT)を用いた固体撮像素子が I B E E Transactions on

Electron Devices (Vol. 28, No. 12, 第1970~1977頁)に提案されている。これは第1図に示すように、縦方向チャネルをもつSITを用いるものであり、矢印2にて示す方向からの光入射により透明電極8を介して基板4内に発生した電荷キャリアはドレイン5に蓄積され、ゲート6に読出パルスが加わった時にソース7を経て信号電極8から読出される。なお各SITは分離領域9によつて互いに分離されている。このように、SITを用いた固体撮像素子では、信号読出しを縦方向に行なうため、一面素の寸法を小さくすることができる。

本発明は所望SITを用いた固体撮像素子の解像度をさらに向上させる目的達成のため、半導体基板上に光電変換領域と、光電変換された信号を、読出するための静電誘導トランジスタとを具え、前記トランジスタのゲート領域を2分して電気的に傾立させ、これらの2分したゲート領域を隣接せる光電変換領域の選択読出時に共用し得るよう前記ゲート領域を配置したことを特徴とする。

(3)

り、21はソースに流れる信号電流を引換える垂直シフトレジスタである。なお動作の説明上、各ソースを図示のように上から順にA, B, C,とし、各ゲートも上から順にa, b, c,とする。

第5図はゲートに加える読出パルスを示す波形図である。この第5図において、 T_1 の期間にはaとbのゲートに読出パルスが加わるため、Aのソースに電流が流れる。次に T_2 の期間にはbとcのゲートに読出パルスが加わるため、Bのソースに電流が流れる。以下同様にして T_3 , T_4 ,の期間にc, d,のソースに電流が流れ、順次信号を読出すことができる。

上述した所から明らかなように、本発明によればソース1個ごとに1個のゲートを具えていればよいことになる。さらに、ソース1個につき2個のゲートを有する第1図に示すような従来例と第2および8図に示す本発明とを比較すれば明らかなように、本発明によれば垂直方向の一面素の寸法を約1/2に縮小することができる。従つて、約

(5)

固体撮像素子にある。

図面につき本発明を説明する。

第2図は、静電誘導トランジスタ(SIT)を用いた本発明による固体撮像素子の一実施例を一部切欠して示す斜視図であり、第8図は第2図のII-II線上的断面図である。

n^+ 層10を介して透明電極11を具えている基板12の上部には、ソース13が拡散されており、基板中のソースに対応する位置にはドレイン14が埋込まれている。信号電極15によるソース配線ライン間は掘込み酸化膜による分離領域16で区切られており、またソース13を挟むようにゲート17がソース13と同層エピタキシャル層18に拡散されている。各ゲート17は、信号電極15によるソース配線ラインと直交する方向に読出電極19により分離領域16を跨いで結線されている。

第4図は第2および8図の固体撮像素子の回路構成を示す線図であり、ここに20はゲートに加える読出パルスを加える水平シフトレジスタであ

(4)

2倍の解像度を得ることが可能である。なお、上述した例では水平方向にゲートを結線すると共に垂直方向にソースを結線するものとしたが、これは水平方向にソースを結線し、垂直方向にゲートを結線するものとしてもよいことは勿論であり、この場合には水平方向の解像度を約2倍に高めることができる。

第6図は他の読出法を用いる場合の回路構成を示す線図であり、本例でも説明の便宜上、各ソースを図示のように上から順にA, B, C,とし、また各ゲートも上から順にa, b, c,とする。この場合、各ゲートは読出切換スイッチ12A, 12B, 12C,を介して水平シフトレジスタ20に配線されている。各読出切換スイッチ12A, 12B, 12C,のゲートは(1)および(2)の二系統に分かれている。

第7図は第6図の例におけるシフトレジスタ20の端子(A), (イ), (ウ).....および読出切換スイッチのゲート(1), (2)に加えるパ

(6)

ルスを示す波形図である。

第7図において T_1 の期間には読出切換スイッチ18Aがオンになっているため、ゲートa, bに読出パルスが加わり、Aのソースに電流が流れる。 T_2 の期間には読出切換スイッチ18Cがオンになっているため、ゲートc, dに読出パルスが加わり、Cのソースに電流が流れる。 T_3 の期間ではゲートe, fによりEのソースに電流が流れる。 T_4 の期間では読出切換スイッチ18Bがオンになっているため、ゲートb, cに読出パルスが加わり、Bのソースに電流が流れる。以下 T_5 の期間ではDのソースに、 T_6 の期間ではFのソースに電流が流れる。以上のようにして各ソースはA, C, E, ……B, D, F, ……の順に走査されるため、インターレース走査を行なうことができる。

第8図は第3図の変形例を示す断面図であり、ここに第3図の各部と同一部分を示すものには同一符号を付して示してある。この例はドレイン14間のアイソレーションのために絶縁層80によつて各ドレインを囲むようにしたものであり、この

(7)

なお第2, 8図および第8図の実施例では光電変換領域で発生したキャリア(正孔)を蓄積している領域は低濃度基板領域12のドレイン拡散層14に接した領域であるが、第9図に示すように従来のHook型SITセンサーにしばしば用いられる基板領域12とドレイン拡散層14との間に信号電荷の蓄積層として p^+ 拡散層81を設ける構造に変形することも容易である。

本発明は表面照射型SITイメージセンサーに適用することも容易である。その一実施例を第10図に示す。第10a図は断面構造図、第10b図はそのA-A'線上での断面構造図、第10c図は動作説明のためのマトリックスアレイの回路構成の一例を示し、第10d図にはゲートパルスの読出およびリセット動作時の波形の一例を示してある。

第10a, b図に示す構造造成のためのプロセス手順の一方はつぎの通りである。先ずp型基板40上にSITのドレインとなる n^+ 型埋込拡散層41および隣接するドレイン間を絶縁するため、

(8)

ようにすれば、隣接画素間のクロストークをより、一層完全に抑えることができる。この構造造成のためのプロセス手順として以下2つの方法を示す。

第1の方法は、単結晶基板12上に通常LOOS法と称される選択酸化法により酸化物絶縁層80を凸状に形成し、その後拡散によつてドレイン拡散層14を形成する。その後エピタキシャル層18を成長させる。この際絶縁層上のエピタキシャル層は単結晶化しないが、その後レーザーアニール法等によつて単結晶化させることができる。それ以降は慣例の製法通りである。

第2の方法は、基板12上に埋込拡散層14を全面または選択的に形成した後、その上にエピタキシャル層18を成長させ、その後酸素イオンおよび窒素イオンを高速・高濃度にイオン注入して、エピタキシャル層内部に絶縁層を形成し(これは通常SIMOX法と称される)、その後アニール法によつてイオン通路となつた絶縁層80の上の領域を他の単結晶領域並みの特性に回復させる。それ以降の製法は従来の製法と同じである。

(8)

の p^+ 型埋込拡散層42をそれぞれ形成した後、 n^+ 型エピタキシャル層43を成長させ、このエピタキシャル層内に絶縁層44、 p^+ 型ゲート拡散層45および n^+ 型ソース拡散層46をそれぞれ形成する。その後ゲート拡散層45の上に薄い絶縁膜47を介して透明電極または不純物をドーピングして導電性を増した半透明性の多結晶シリコン層を用いて形成したゲート電極48およびソース拡散層46とオーミック接触するソース電極49を形成する。

つぎに第10c図を参照して動作について説明する。この第10c図のマトリックスアレイ構成は、入射像を撮像するのに時間を8分割し、検出画素位置を $\frac{1}{8}$ 画素づつずらして撮像する所謂インターレース方式撮像に適用した例を示したものである。

前述した表面照射型SITセンサーの実施例においても述べたように、第1画像(Aフレームと称する)の読出時にはゲート電極制御ライン80をa-b, c-d, e-f, ……と云う組合わ

せでゲート走査用のシフトレジスタ51で選択し、つぎの第2画像(Bフレームと称する)の読出し時にはゲート電極配線ライン50をb-o, d-e, ……の組合わせで選択する。

この場合ドレイン電極配線ライン52にはドレイン走査用のシフトレジスタ58で選択されて高い電圧が印加される。ここで光電変換部はゲート拡散層45(第10a, b図)およびその周辺の空乏化した領域であり、入射光によつて発生した電子-正孔対のうち、正孔が前記空乏層を横切るなどして p^+ 型ゲート拡散層45に蓄積される。これによりゲート拡散層の電位は上昇し、ゲート電極配線ライン50にパルスを印加した場合に、ゲート電極48とゲート拡散層45間のキャパシタンスによつて誘起される選択時にゲート拡散層45の電位が入射光のない場合に比べ入射光量に比例して高い電位となる。この状態でドレイン拡散層41が選択されて高電圧が印加され、ソース配線ライン54も選択されると、上記入射光量に関係したドレイン電流が流れて、それが負荷抵抗

(11)

ート拡散層を構造上および電気接続上2分して、その2分した各ゲート層を電気的に独立して制御できるようにし、1つのゲート拡散層をその両側の画素選択時に共用することによつて等価的に画素間隔を $\frac{1}{2}$ にすることができ、2倍の高密度・高分解能のSITセンサーを得ることができる。具体的応用例としては、隣接画素を順次読出すことにより、2倍の高密度SITセンサーとして構成する方法と、第1のサイクルで隣接画素を1つ直ちに選択して全面面をAフレームとして読出し、第2のサイクルで読出してない画素について(ゲート領域の組合わせをずらして)同じく1つ直ちに選択して全面面をBフレームとして読出す、所謂インターレース読出法への適用として構成する方法とが考えられる。

4. 図面の簡単な説明

第1図はSITを用いた従来の固体撮像素子の一例を示す断面図、

第2図は本発明による固体撮像素子の一例を一部切欠して断面も示す斜視図、

55で変換されて信号電圧として読出される。

ゲート拡散層45は電気的に浮いているため、この拡散層の電位リセットは同じゲートラインに接続されるすべての画素の読出(第10d図の時間 T_1 の期間)終了後、第10d図に示すように、 T_2 の期間にわたりゲートパルスをさらに高め、これにより誘起されたゲート拡散層電位がソース拡散層電位(ここでは0V)に対し(pn接合で)順方向になるようにゲートパルスの振幅を設定すれば入射光による電位変化分はリセットすることができる。

すべてのゲートラインの読出(Aフレーム読出)終了後には電位リセットに引続いて撮像を行なつて信号が蓄積されつつあるゲート拡散層についてゲートラインの組合わせを前述したように変えて、同様の読出(Bフレーム読出)を行なう。

以上各実施例にて説明したように本発明によれば、マトリックス状アレイの一方向に偏し、従来例の画素間絶縁領域をなくし、その領域にソース拡散層を設け、これらのソース拡散層を取囲むゲ

(12)

第3図は第2図のII-III線上での断面図、

第4図は第2および3図の動作説明用のマトリックス状アレイの回路構成を示す線図、

第5図はゲートに加える読出パルスの一例を示す波形図、

第6図は第4図の読出法とは異なる読出法を用いる場合の回路構成を示す線図、

第7図は第6図の例におけるゲートに加える読出パルスの一例を示す波形図、

第8図は第8図の変形例を示す断面図、

第9図は第8図の一部変形例を示す断面図、

第10a図は表面照射型のSITイメージセンサに本発明を適用した例を示す断面図、

第10b図は第10a図のA-A'線上での断面図、

第10c図は第10a図の動作説明用のマトリックス状アレイの回路構成を示す線図、

第10d図は第10a図におけるゲートに加えるパルスの読出しおよびリセット動作時のパルスの一例を示す波形図である。

(13)

(14)

- | | |
|------------------------|---------------------|
| 1 ... S I T | 2 ... 光入射方向 |
| 8 ... 透明電極 | 4 ... 基板 |
| 5 ... ドレイン | 6 ... ゲート |
| 7 ... ソース | 8 ... 信号電極 |
| 9 ... 分離領域 | 10 ... n^+ 層 |
| 11 ... 透明電極 | 12 ... 基板 |
| 18 ... ソース | 14 ... ドレイン |
| 15 ... 信号電極 | 16 ... 分離領域 |
| 17 ... ゲート | 18 ... エピタキシャル層 |
| 19 ... 読出電極 | 20 ... 水平シフトレジスタ |
| 21 ... 垂直シフトレジスタ | 30 ... 絶縁層 |
| 31 ... p^+ 拡散層 | 40 ... 基板 |
| 41 ... n^+ 拡散層(ドレイン) | 42 ... p^+ 拡散層 |
| 43 ... n^- エピタキシャル層 | 44 ... 絶縁層 |
| 45 ... p^+ ゲート拡散層 | 46 ... n^+ ソース拡散層 |
| 47 ... 絶縁膜 | 48 ... ゲート電極 |
| 49 ... ソース電極 | 50 ... ゲート電極配線ライン |
| 51 ... ゲート走査用シフトレジスタ | |
| 52 ... ドレイン電極配線ライン | |
| 53 ... ドレイン走査用シフトレジスタ | |

- 54 ... ソース電極配線ライン
55 ... 負荷抵抗
12 A, 12 B, 12 C, ... 読出切換スイッチ。

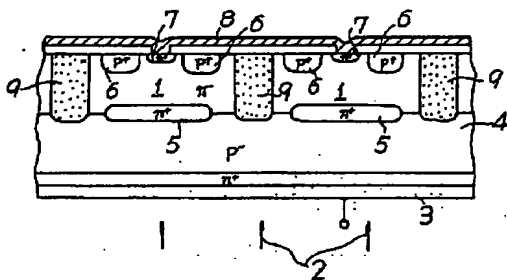
特許出願人 オリンパス光学工業株式会社
同 出願人 西 澤 潤

代理人弁理士 杉 村 晴 秀

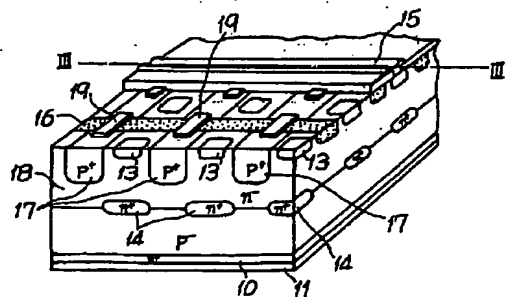
同 弁理士 杉 村 興 作

(15)

第 1 図

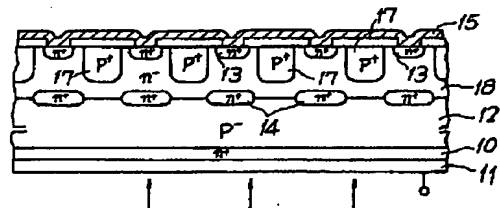


第 2 図

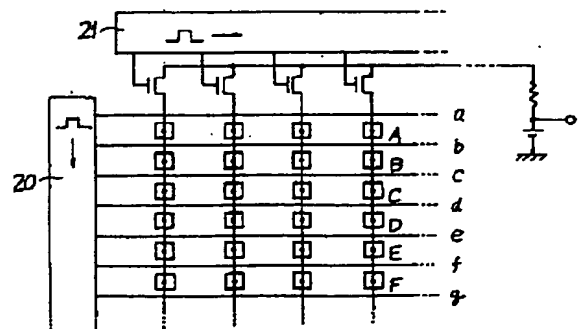


(16)

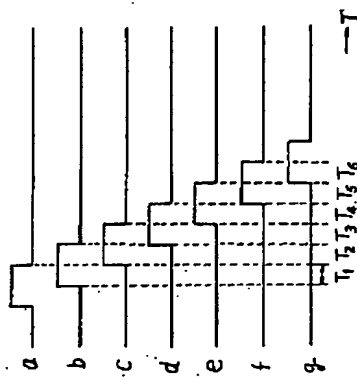
第 3 図



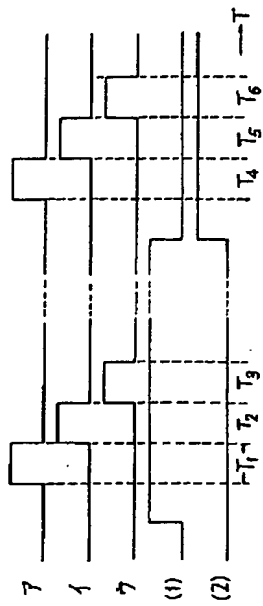
第 4 図



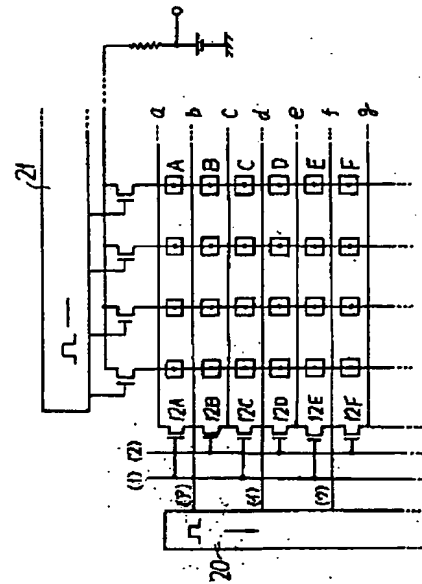
第 5 図



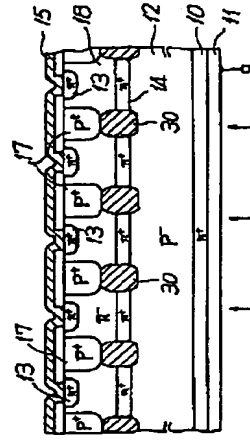
第 7 図



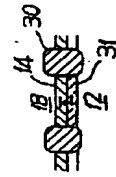
第 6 図



第 8 図



第 9 図



第10図

